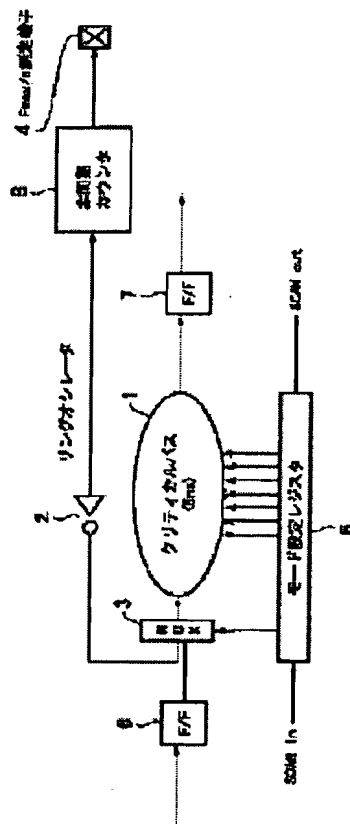


Patent number:	JP2001074813
Publication date:	2001-03-23
Inventor:	KISHIGAMI HIDEYA; MUROGA HIROKI
Applicant:	TOKYO SHIBAURA ELECTRIC CO
Classification:	
International:	G01R31/28; H01L27/04; H01L21/822
European:	
Application number:	JP19990252019 19990906
Priority number(s):	JP19990252019 19990906

# Abstract of JP2001074813

**PROBLEM TO BE SOLVED:** To easily measure a maximum operating frequency by a method wherein a feedback circuit which forms a ring oscillator with reference to a critical path which rate-determines the maximum operating frequency of a logic circuit designed as a synchronous circuit is provided and a ring-oscillator oscillation-signal observation means is provided. **SOLUTION:** In this functional block, a feedback loop which contains an inverter 2 and a multiplexer 3 is installed in such a way that a ring oscillator is formed with reference to a critical path 1. The output of the ring oscillator is counted by an asynchronous counter 8 so as to be output to an Fmax/n terminal (a test terminal) 4. The operating mode of the critical path 1 is set by a mode setting register 5. An oscillation signal which is formed by the ring oscillator is measured by being frequency-divided into, e.g. 16. Thereby, the integral multiple (16 times in this case) of the circuit delay of the critical path 1 can be measured, and a maximum operating frequency (Fmax) can be measured with good accuracy and simply.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-74813  
(P2001-74813A)

(43) 公開日 平成13年3月23日 (2001. 3. 23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)
G 0 1 R 31/28		C 0 1 R 31/28	U 2 G 0 3 2
H 0 1 L 27/04		H 0 1 L 27/04	T 5 F 0 3 8
21/822			U 9 A 0 0 1

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平11-252019

(22) 出願日 平成11年9月6日 (1999. 9. 6)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岸上 秀哉

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 室賀 啓希

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

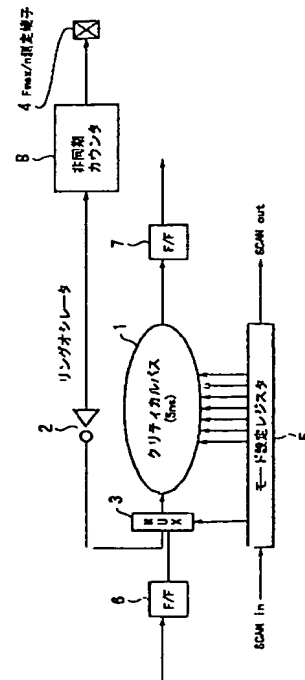
最終頁に続く

(54) 【発明の名称】 機能ブロック及び機能ブロックの周波数測定回路

(57) 【要約】

【課題】 高性能で高価なテストを用いることなく、CPUコアなどの機能ブロックの最大動作周波数測定を簡単に行うこと。

【解決手段】 SCANなどにより機能ブロック内部にクリティカルパスを形成し、このクリティカルパスに対してリングオシレータを形成するようなインバータ及びマルチプレクサを含んだフィードバックループを形成する。このように形成されたリングオシレータの発振出力波形の周期はクリティカルパスの遅延時間に対応しており、この発振出力波形を非同期カウンタにより例えば16分周して得たトグル波形の周期を測定することにより、前記機能ブロックのクリティカルパスの最大動作周波数を測定することができる。しかも、非測定信号は16分周されて低い周波数になっているため、普及型の安価なテストにより簡単にCPUコアなどの機能ブロックの最大動作周波数の測定を行うことができる。



## 【特許請求の範囲】

【請求項1】 同期回路設計のなされた論理回路の最大動作周波数を律速するクリティカルパスに対してリングオシレータを形成するための帰還回路と、前記リングオシレータの発振信号を観測するための観測手段と、を具備することを特徴とする機能ブロックの周波数測定回路。

【請求項2】 前記観測手段は、前記リングオシレータの発振信号を分周してカウントするカウンタと、このカウンタの出力信号を外部に取り出すためのテスト端子とから成ることを特徴とする請求項1記載の機能ブロックの周波数測定回路。

【請求項3】 前記論理回路の動作を設定して前記クリティカルパスを形成する設定手段を有することを特徴とする請求項1又は2記載の機能ブロックの周波数測定回路。

【請求項4】 前記設定手段はSCANで構成されることを特徴とする請求項3記載の機能ブロックの周波数測定回路。

【請求項5】 論理部と、この論理部の出力をこの論理部の入力側に帰還させて、この論理部に対するリングオシレータを形成するための帰還部と、前記論理部に前記帰還部の帰還信号を入力させるか、或いは通常動作モードでの入力信号を入力させるかを選択して切り換える切替部と、前記リングオシレータを形成する信号経路上の発振信号を分周する分周部とを具備することを特徴とする機能ブロック。

【請求項6】 前記切替部を前記論理部内に形成することを特徴とする請求項5記載の機能ブロック。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CPUコアに代表される機能ブロック (IP; intellectual property) に係り、特にこの機能ブロックを搭載したシステムLSIやASICの前記機能ブロックの最大動作周波数 (at speed test) の測定に関する。

## 【0002】

【従来の技術】CPUコアに代表される機能ブロック (IP) の最大動作周波数 (Fmax) は年々増加の傾向にあり、最近では数百MHz程度も普通になってきている。このような機能ブロックの最大動作周波数の測定では、高性能で高価なテストを用い、実際に機能ブロックを動作させることにより評価してきた。この評価は、LSI内に作り込まれた機能ブロックが所望の動作周波数で動作する上で重要である。

【0003】従って、機能ブロックが所望の動作周波数

で動作するかどうかを測定しなければならないが、最大動作周波数が高くなればなるほど、テストを用いた機能ブロックの最大動作周波数測定が非常に困難になりつつある。

【0004】また、これら機能ブロックを搭載したカスタムLSI (所謂ASIC) も近年普及しつつある。このASICの場合、多品種製品開発をこなすためには、そのコストを低下させる上で、機能ブロックの最大動作周波数を安価なテストを用いて簡単に評価できることが重要なポイントである。

【0005】従来ASICではこれに対応するために、プロセスモニター回路を内蔵し、トランジスタの特性を評価する等により、製造のバラツキによる性能を推定する一方、設計段階で十分なマージンを持たせることによって、実製品でのat speed testを省略してきた。

## 【0006】

【発明が解決しようとする課題】しかしながら、トランジスタの微細化の進んだ現在では、トランジスタの動作遅延よりも配線による信号遅延が優勢となっているため、ダミーの回路 (プロセスモニター回路) の動作速度評価だけでは、実際の機能ブロックの動作速度の評価とはならないという問題が生じている。

【0007】また、テスト容易化のために追加されるSCAN回路を利用して、機能ブロック内部でその最大動作周波数を律速する図4に示すようなクリティカルパス41だけを動作させ、その動作周波数を評価する手法もある。

【0008】ここで、クリティカルパス41とは、同期回路設計のなされた回路において、フリップフロップ (F/F) 42の出力が組み合わせ回路をへて別のフリップフロップ (F/F) 43へ入力される複数の信号経路のうち、最も信号伝播遅延が大きいもののことである。

【0009】この手法は、機能ブロック全体を動作させていないため、評価は簡単である。しかしながら、高速度なクロック (CLK) 信号を外部からフリップフロップ42、43に与えての評価となるため、高性能で高価なテストが必要となる問題を解決することができない。

【0010】このように、機能ブロックの最大動作周波数の増加に伴い、これを精度良く簡単に評価する手法が望まれている。

【0011】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、高性能で高価なテストを用いることなく、CPUコアなどの機能ブロックの最大動作周波数測定を簡単に行うことができる機能ブロックを提供することである。

## 【0012】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明の特徴は、機能ブロックの周波数測

定回路において同期回路設計のなされた論理回路の最大動作周波数を律速するクリティカルパスに対してリングオシレータを形成するための帰還回路と、前記リングオシレータの発振信号を観測するための観測手段とを具備することにある。

【0013】請求項2の発明の前記観測手段は、前記リングオシレータの発振信号を分周してカウントするカウンタと、このカウンタの出力信号を外部に取り出すためのテスト端子とから成る。

【0014】請求項3の発明の特徴は、前記論理回路の動作を設定して前記クリティカルパスを形成する設定手段を有することにある。

【0015】請求項4の前記設定手段はSCANで構成される。

【0016】請求項5の発明の特徴は、論理部と、この論理部の出力をこの論理部の入力側に帰還させて、この論理部に対するリングオシレータを形成するための帰還部と、前記論理部に前記帰還部の帰還信号を入力させるか、或いは通常動作モードでの入力信号を入力させるかを選択して切り換える切替部と、前記リングオシレータを形成する信号経路上の発振信号を分周する分周部とを具備することにある。

【0017】請求項6の発明の特徴は、前記切替部を前記論理部内に形成することにある。

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明の機能ブロック

(IP; intellectual property)の一実施の形態を示したブロック図である。本例の機能ブロックは、クリティカルパス1に対してリングオシレータを形成するように、インバータ2、マルチプレクサ(MUX)3を含むフィードバックループが設けてある。リングオシレータの出力は非同期カウンタ8によりカウントされて、 $F_{max}/n$ 測定端子(テスト用端子)4に出力される。クリティカルパス1の動作モードはモード設定レジスタ5により設定される。通常動作モードでの機能ブロックへの入力信号は、フリップフロップ(F/F)6より入力され、クリティカルパス1を通じて、フリップフロップ(F/F)7より出力される。

【0018】次に本実施の形態の動作について説明する。最大動作周波数テストモードでは、マルチプレクサ3はインバータ2の出力を選択して、クリティカルパス1に入力するように切り替わっている。

【0019】ここで、論理回路等の組合せ回路には通常動作モードにより信号の伝播パスが何本か存在するのが普通である。そこで、上記した、最大動作周波数テストモードでは、予めモード設定レジスタ5により、組合せ回路の回路遅延が最大となるようにSCANなどで動作モードを設定しておく。例えばクリティカルパスの組合せ回路の回路遅延が5nSとした場合、フリップフロップのセットアップ/ホールド時間を無視すると、最大動

作周波数( $F_{max}$ )は200MHzとなる。

【0020】上記のようにクリティカルパス1に対してリングオシレータを形成すると、リングオシレータは発振する。即ち、マルチプレクサ3を通して、“1”がクリティカルパス1に入力されると、この“1”はクリティカルパス1からクリティカルパス1の遅延時間後に出力され、インバータ2により“0”となって、クリティカルパス1に入力される。これにより、クリティカルパス1からクリティカルパス1の遅延時間後に“0”出力され、これがインバータ2により“1”となって、クリティカルパス1に入力され、上記発振が持続する。従って、リングオシレータの発振出力は、一定周期のトグル波形となるが、その周期はクリティカルパス1の遅延時間に対応している。

【0021】リングオシレータの発振出力は非同期カウンタ8に入力され、この非同期カウンタ8はリングオシレータの出力によりカウントアップする。これにより、リングオシレータの発振出力は非同期カウンタ8により例えば16分周され、図2に示すような一定周期のトグル波形となって、CPUコア等に設けた $F_{max}/n$ 測定端子4から出力される。このトグル波形の周期は上記したように最大動作周波数が200MHzの場合、160nSとなる。

【0022】実際に製造プロセスのバラツキにより、機能ブロックの性能が±10%性能が変動した場合、最大動作周波数( $F_{max}$ )は180MHz~220MHzとなる。しかし、この性能変動は $F_{max}/n$ 測定端子4からは、図2に示したトグル波形の周期の変動(154ns~176ns)となって観測することができ、比較的安価な普及型テストを用いても評価できる。

【0023】本実施の形態によれば、クリティカルパス1を含んでリングオシレータを形成し、その発振信号を例えば16分周して測定することにより、クリティカルパス1の回路遅延の整数倍(上記例では16倍)を測定することができる。これにより、比較的安価な普及型テストを用いて機能ブロックの最大動作周波数( $F_{max}$ )を精度よく且つ簡単に測定することができる。

【0024】ところで、図3に示すようにCPUコア10等に設けたテスト用端子( $F_{max}/n$ 測定端子)4から実際のシステムLSIのテスト用端子( $F_{max}/n$ 測定端子)11までは距離があり、その間を接続する信号線9により、 $F_{max}/n$ 測定端子4から出力されたトグル波形信号も遅延する。

【0025】しかし、本例はトグル波形信号の周期より機能ブロックの最大動作周波数( $F_{max}$ )を測定するため、前記信号線9の遅延によらず、最大動作周波数( $F_{max}$ )を正しく測定することができる。従って、例えばクリティカルパスの動作周波数の整数倍で動作する回路を実際にCPUコア等に内蔵し、その遅延の絶対値を測定するような方法に比べて優れている。

【0026】尚、上記実施の形態では、マルチプレクサ3をクリティカルパス1を形成する回路外に設けたが、このマルチプレクサ3をクリティカルパス1を形成する論理回路内に形成するようにして、リングオシレータを形成した際のフィードバックループの段数を1段減らすことにより、機能ブロックの最大動作周波数( $F_{max}$ )を更に精度よく測定することができる。

【0027】又、上記実施の形態では、クリティカルパス1の出力側をインバータ2を介してクリティカルパス1の入力側にフィードバックしていたが、この場合はクリティカルパス1の入力信号と出力信号の極性が非反転の関係にある場合で、もし、入力信号と出力信号の極性が反転の関係にある場合は、クリティカルパス1の出力側をバッファなどを介してクリティカルパス1の入力側にフィードバックする構成にすればよい。

【0028】更に、上記実施の形態では、クリティカルパス1の出力側からリングオシレータの発振信号を取り出していたが、この発振信号はリングオシレータを形成するループのいずれからも取り出すことができる。

【0029】

【発明の効果】以上詳細に説明したように、本発明の機能ブロックによれば、高性能で高価なテストを用いることなく、CPUコアなどの機能ブロックの最大動作周波数測定を簡単に行うことができる。

【0030】特に請求項2、5の発明によれば、リングオシレータの発振信号を任意に分周した信号を測定するため、任意の性能を有する安価なテストにより、機能ブ

ロックの最大動作周波数測定を行うことができる。

【0031】特に請求項6の発明によれば、クリティカルパスの外側のリングオシレータを形成する信号経路の段数が減るため、その分の遅延誤差が減って、クリティカルパスの最大動作周波数測定の精度を高めることができる。

【図面の簡単な説明】

【図1】本発明の機能ブロックの一実施の形態を示したブロック図である。

【図2】図1に示した非同期カウンタの出力波形を示した波形図である。

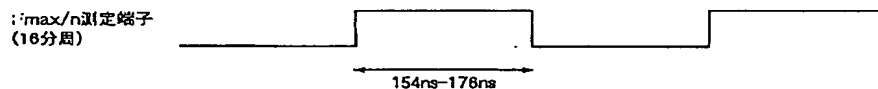
【図3】システムLSI内のCPUコアのテスト端子とシステムLSIのテスト端子との位置関係を示した図である。

【図4】従来のクリティカルパスの最大動作周波数測定手法を説明する図である。

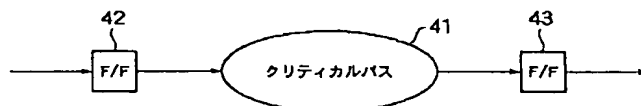
【符号の説明】

- 1 クリティカルパス
- 2 インバータ
- 3 マルチプレクサ
- 4、11  $F_{max}/n$ 測定端子
- 5 モード設定レジスタ
- 6、7 フリップフロップ( $F/F$ )
- 8 カウンタ
- 9 信号線
- 10 CPUコア

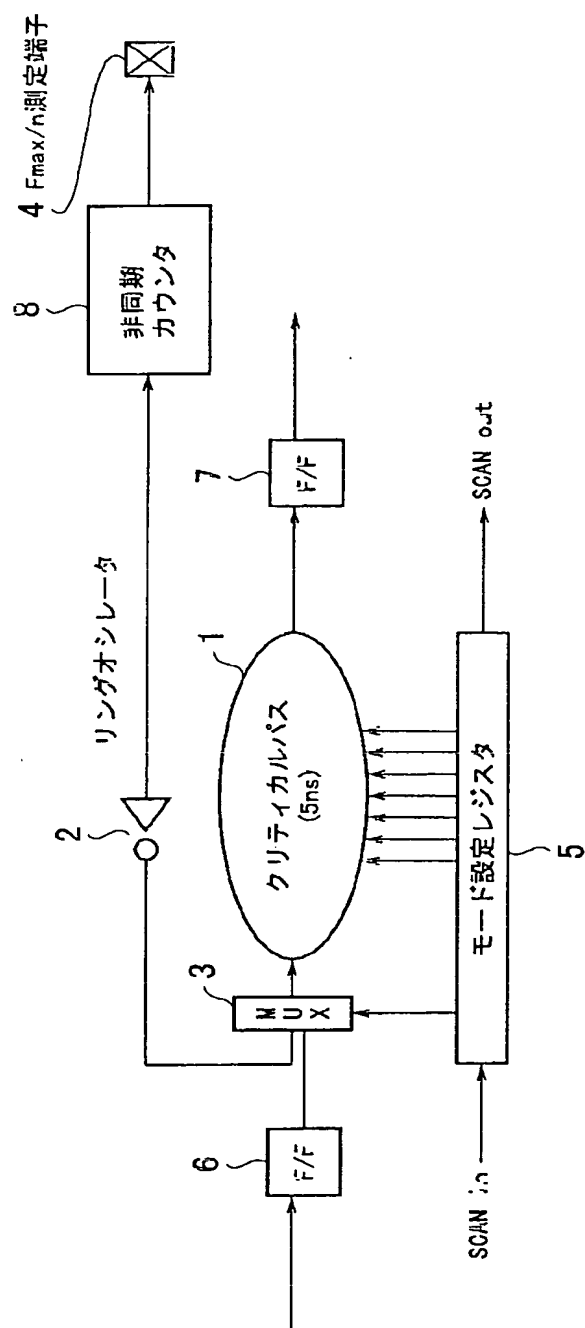
【図2】



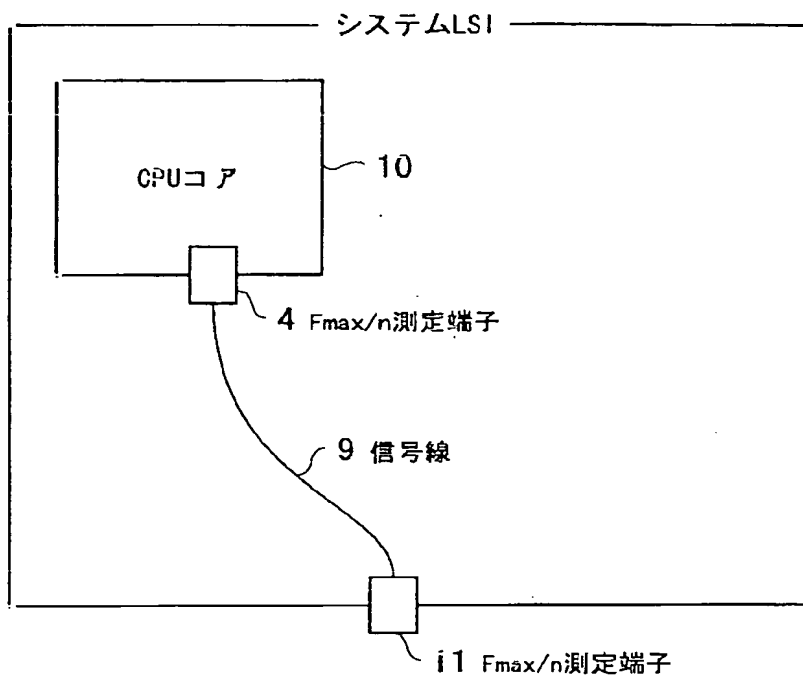
【図4】



【図1】



【図3】



フロントページの続き

Fターム(参考) 2G032 AA03 AD04  
5F038 CA04 CD09 DF01 DF04 DF06  
DF14 DT02 DT04 DT06 DT12  
EZ20  
9A001 BB05 KZ37 LL05

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**